

VYSVĚTLENÍ A DOPLNĚNÍ ZADÁVACÍ DOKUMENTACE Č. 1

k veřejné zakázce malého rozsahu s názvem

ÚVT – Dodávka síťového zařízení typu FireWall pro zajištění bezpečnostní ochrany sítě WiFi v objektech KaM

Zadavatel:	Univerzita Karlova
Sídlo:	Ovocný trh 560/5, Praha 1, 116 36
IČO:	00216208
DIČ:	CZ00216208
Osoba oprávněná jednat jménem zadavatele:	Ing. Miroslava Oliveriusová
Kontaktní osoba:	Mgr. František Potužník
Telefon:	+420 224 491 203
E-mail:	potuznik@cuni.cz
Systémové číslo VZ:	P17V00000171

Univerzita Karlova, jako zadavatel shora uvedené veřejné zakázky, obdržela dne 3. 8. 2017 níže uvedenou žádost o dodatečné informace k zadávacím podmínkám. Na tuto žádost poskytuje zadavatel následující odpověď.

Dotaz č. 1

„Požadujeme dodání vysoce dostupného řešení firewall typu NGFW“ – Chápeme správně, že jde o dodávku 2 ks NGFW v active/passive clusteru?

Odpověď zadavatele:

Nikoliv, v rámci veřejné zakázky je poptáváno dodání pouze **1ks FW typu NGFW** splňující v souladu s technickou specifikací následující požadavek: „Podpora režimu vysoké dostupnosti (režim L2 cluster, tedy využití virtuálních MAC adres - celý cluster se tváří z pohledu L3 jako jedno zařízení) v režimu active-passive (A/P)“. Tento požadavek umožní v budoucnu v případě zakoupení stejného zařízení (ev. po dokoupení licence) zapojení NGFW do clusteru.

Dotaz č. 2

„HW appliance NGFW firewall (platforma postavená na HW akcelerované architektuře- tj. zařízení vybavené kombinací CPU + specializované obvody FPGA/ASIC pro zpracování komunikace a vybraných výpočetně náročných funkcí) umožňující konfiguraci v režimu vysoké dostupnosti.“ – Je v tomto bodě mandatorní, aby byl NGFW založený na hardwarově akcelerované architektuře s použitím FPGA/ASIC, nebo je v případě, že NGFW bude splňovat všechny výkonnosti i ostatní kritéria nabídnout NGFW bez FPGA/ASIC?

Odpověď zadavatele:

Zadavatel v technické specifikaci zřetelně uvedl, že požaduje dodání třídy zařízení:

„HW appliance NGFW firewall (platforma postavená na HW akcelerované architektuře- tj. zařízení vybavené kombinací CPU + specializované obvody FPGA/ASIC pro zpracování komunikace a vybraných výpočetně náročných funkcí) umožňující konfiguraci v režimu vysoké dostupnosti“.

Zadavatel nadále požaduje dodání zařízení postavené na HW akcelerovatelné architektuře, ale netrvá na tom, že tato architektura musí být založena na specializovaných obvodech FPGA/ASIC. **Zadavatel bude akceptovat i nabídku dodání zařízení s HW akcelerovatelnou architekturou realizovanou jiným způsobem** (uchazeč v nabídce popíše způsob HW akcelerace nabízeného řešení).

V souvislosti s chybným uveřejněním souboru „Příloha č. 2 - kupní smlouva“ na profilu zadavatele zadavatel **uveřejňuje tamtéž správné znění Přílohy č. 2 - kupní smlouva.**

V souvislosti s poskytnutím této dodatečné informace č. 1 zadavatel nemění lhůtu pro podání nabídek.

V Praze dne 4. 8. 2017

.....
Ing. Jakub Papírník, ředitel ÚVT UK